



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06132987 A**(43) Date of publication of application: **13 . 05 . 94**

(51) Int. Cl

H04L 13/18
H04L 7/02
(21) Application number: **04280335**(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**(22) Date of filing: **19 . 10 . 92**(72) Inventor: **INAGAKI YASUKUNI**(54) **COMMUNICATION CONTROL SEMICONDUCTOR DEVICE**

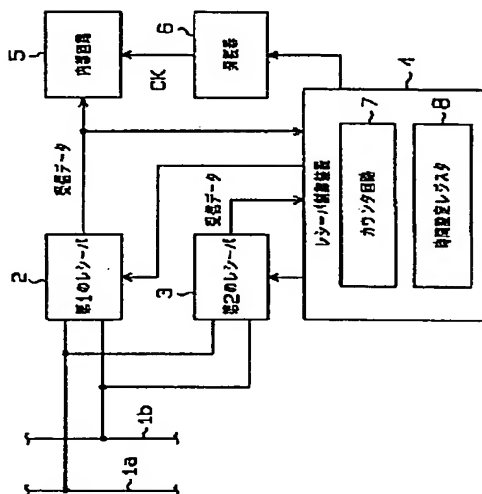
operation of the receiver 3 at the time of discriminating the start of reception.

(57) Abstract:

COPYRIGHT: (C)1994,JPO&Japio

PURPOSE: To provide a communication control semiconductor device in which a power consumption can be suppressed at the time of waiting an incoming call without deteriorating a receiving performance at the time of a normal reception, in a simple constitution.

CONSTITUTION: The response speed of a receiver 2 is fast, and the response speed of a receiver 3 is slow. Each receiver 2 and 3 receives line data constituted of an AMI transmission waveform signal transmitted through signal lines 1a and 1b for reception. An oscillator 6 prepares a clock CK for operating an inside circuit 5. A receiver controller 4 discriminates whether a receiving state or an incoming waiting state is obtained based on the reception data of the receiver 2, validates the operation of the receiver 3, and stops the operation of the receiver 2 and the oscillator 6 in the case of the incoming call waiting state. Then, the receiver controller 4 discriminates whether the incoming call waiting state is continued or a reception is started based on the reception data of the receiver 3 in the incoming call waiting state, validates the operation of the receiver 2 and the oscillator 6, and stops the



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-132987

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. ⁵ H 0 4 L 13/18 7/02	識別記号 7928-5K	庁内整理番号 8220-5K	F I H 0 4 L 7/ 02	技術表示箇所 Z
---	-----------------	-------------------	----------------------	-------------

審査請求 未請求 請求項の数5(全 10 頁)

(21)出願番号 特願平4-280335

(22)出願日 平成4年(1992)10月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 稲垣 靖訓

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

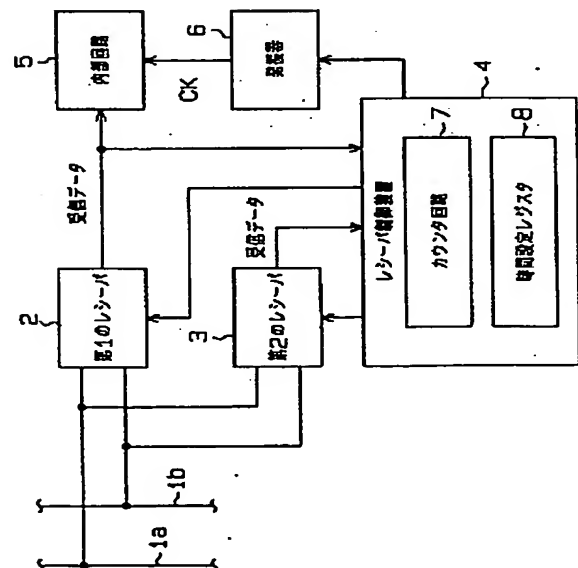
(54)【発明の名称】 通信制御用半導体装置

(57)【要約】

【目的】通常の受信時の受信性能を低下させることなく、着信待機時には消費電力を抑えることが可能な通信制御用半導体装置を、簡単な構成によって提供する。

【構成】レシーバ2は応答速度が速く、レシーバ3は応答速度が遅い。各レシーバ2、3は受信用信号線1a、1bを介して送られてくるAMI伝送波形信号よりなる回線データを受信する。発振器6は内部回路5を動作させるためのクロックCKを生成する。レシーバ制御装置4は、レシーバ2の受信データに基づいて受信状態か着信待機状態かを判定し、着信待機状態のときレシーバ3を動作可能にさせると共にレシーバ2および発振器6を動作停止にさせる。そして、レシーバ制御装置4は、着信待機状態において、レシーバ3の受信データに基づいて着信待機状態が継続しているか受信開始かを判定し、受信開始と判定すると、レシーバ2および発振器6を動作可能にさせると共にレシーバ3を動作停止にさせる。

本発明の原理説明図



1

【特許請求の範囲】

【請求項1】 受信用信号線(1a, 1b)を介して送られてくるAMI伝送波形信号よりなる回線データを受信する、応答速度が速く高精度な第1のレシーバ(2)と、

受信用信号線(1a, 1b)を介して送られてくるAMI伝送波形信号よりなる回線データを受信する、応答速度が遅く精度が低い第2のレシーバ(3)と、

第1のレシーバ(2)からの受信データの有無に基づいて受信状態か着信待機状態かを判定し、着信待機状態であると判定すると、第2のレシーバ(3)を動作可能にさせると共に第1のレシーバ(2)を動作停止にさせ、その着信待機状態において、第2のレシーバ(3)からの受信データの有無に基づいて着信待機状態が継続しているか受信開始かを判定し、受信開始と判定すると、第1のレシーバ(2)を動作可能にさせると共に第2のレシーバ(3)を動作停止にさせるレシーバ制御装置

(4)とを備えたことを特徴とする通信制御用半導体装置。

【請求項2】 受信用信号線(1a, 1b)を介して送られてくるAMI伝送波形信号よりなる回線データを受信する、応答速度が速く高精度な第1のレシーバ(2)と、

受信用信号線(1a, 1b)を介して送られてくるAMI伝送波形信号よりなる回線データを受信する、応答速度が遅く精度が低い第2のレシーバ(3)と、

第1のレシーバ(2)から出力される受信データを処理する内部回路(5)を動作させるためのクロック(CK)を生成する発振器(6)と、

第1のレシーバ(2)からの受信データの有無に基づいて受信状態か着信待機状態かを判定し、着信待機状態であると判定すると、第2のレシーバ(3)を動作可能にさせると共に第1のレシーバ(2)および発振器(6)を動作停止にさせ、その着信待機状態において、第2のレシーバ(3)からの受信データの有無に基づいて着信待機状態が継続しているか受信開始かを判定し、受信開始と判定すると、第1のレシーバ(2)および発振器

(6)を動作可能にさせると共に第2のレシーバ(3)を動作停止にさせるレシーバ制御装置(4)とを備えたことを特徴とする通信制御用半導体装置。

【請求項3】 前記レシーバ制御装置(4)内にはカウンタ回路(7)と時間設定レジスタ(8)とが設けられており、第1のレシーバ(2)から受信データが出力されなくなるとカウンタ回路(7)はカウント値をリセットしてカウンタ動作を開始し、そのカウント値が時間設定レジスタ(8)に定められた設定時間と等しくなったとき、着信待機状態であると判定することを特徴とする請求項1, 2記載の通信制御用半導体装置。

【請求項4】 前記レシーバ制御装置(4)内には、エッジ検出装置(48)が設けられており、第2のレシーバ

2

(3)から受信データが出力されたとき、受信開始であると判定する請求項1〜3記載の通信制御用半導体装置。

【請求項5】 前記レシーバ制御装置(4)は外部からの指令信号を入力し、その指令信号に基づいて、着信待機状態から受信状態に、又は受信状態から着信待機状態に切り換えるパワーダウン回路(47, 49, 50)を備えたことを特徴とする請求項1〜4記載の通信制御用半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は通信制御用半導体装置に係り、詳しくは、ISDN用の端末(TE)側装置に関するものである。

【0002】一般に、ISDNにおける給電形態には、局給電方式とローカル給電方式とがある。ローカル給電とはTE側装置が独自に電源を商用電源等からとる方式であり、局給電とはデジタル回線接続装置(DSU)を介して電話局からTE側装置へ電源が供給される方式である。

【0003】そして、局給電方式には、一定の電力(最大許容電力1W)を供給するノーマル給電方式と、通信(主に、通話)に必要な最小限の電力(通常、420mW)を供給する制限給電方式とがある。

【0004】ところで、近年、ISDNにおいては、単に通話を行うだけでなく、データ伝送や画像伝送等の様々な情報通信を行うようになってきた。そのため、TE側装置における消費電力が増大しており、省エネルギーの観点から、特に局給電方式ではノーマル給電、制限給電のいずれの方式においても、TE側装置が着信待機状態にあるときには消費電力を可能な限り抑える必要がでてきた。

【0005】また、ハンディホンのような携帯用のTE側装置においては、バッテリーの負担を軽減して使用可能時間を長くするためにも、着信待機状態にあるときには消費電力を抑えなければならない。

【0006】さらに、携帯用は当然のこと据え置き型のTE側装置においても、部品点数を削減して小型化すると共にコストダウンすることが求められている。

【0007】

【従来の技術】従来のISDN用のTE側装置では、着信待機状態のときの消費電力を抑えるために、発振停止モードおよびレシーバ・パワーダウンモードを行っている。

【0008】発振停止モードとは、TE側装置の内部回路を動作させるための内部クロックの発生を停止することにより、内部回路の動作を停止させ、それ以前の通信データのみを保持しているだけで、新たな通信データの処理を行わないようにさせるモードである。従って、発振停止モードでは、内部回路の動作に必要な電力分だけ

10

20

30

40

50

消費電力を抑えることができる。

【0009】一方、レシーバ・パワーダウンモードとは、受信用のレシーバが通常に動作するために必要な電力より少ない電力でレシーバを動作させるモードである。すなわち、レシーバにいわゆる「パワーダウン動作」を行わせ、精度（受信感度や選択度等の諸性能）が劣化して通常の受信はできないものの、着信の有無だけは判別できる程度に動作させるわけである。

【0010】

【発明が解決しようとする課題】ところで、発振停止モードおよびレシーバ・パワーダウンモードを行うためには、着信待機状態であるかどうかを検出する必要がある。

【0011】そのため、従来は、受信用信号線とレシーバとの間に設けられているバルストランスに、着信検出用の特別な端子を設けていた。そして、着信検出用端子の出力信号を、送受信用の内部回路とは別に設けた外部回路で判定し、その判定結果（すなわち、着信待機状態であるかどうか）に基づいて、外部回路が発振停止モードおよびレシーバ・パワーダウンモードの制御を行っていた。

【0012】すなわち、外部回路は、着信待機状態であると判定すると、内部回路を発振停止モードにさせると共にレシーバをレシーバ・パワーダウンモードにさせる。その後、着信して着信待機状態でなくなると、外部回路は、発振停止モードおよびレシーバ・パワーダウンモードを解除し、内部回路およびレシーバに対して通常の受信を行わせる。

【0013】このように、発振停止モードおよびレシーバ・パワーダウンモードを行うためには、着信検出用端子および外部回路を設けなければならず、その分、部品点数が増加するという問題があった。

【0014】そこで、着信検出用端子および外部回路を設けることなく、精度の低いレシーバを使用することにより、部品点数を増やすことなく低消費電力を実現することが考えられている。すなわち、精度の低いレシーバは消費電力が小さいことを利用して、着信待機時だけでなく通常の受信時においても消費電力を低減しようというわけである。

【0015】しかしながら、精度の低いレシーバを用いると、低消費電力と引換えに通常の受信時の性能が犠牲になり、勧告違反やフレーム同期はずれ等の問題が発生する。

【0016】本発明は上記問題点を解決するためになされたものであって、その目的は、通常の受信時の受信性能を低下させることなく、着信待機時には消費電力を抑えることが可能な通信制御用半導体装置を、簡単な構成によって提供することにある。

【0017】

【課題を解決するための手段】図1は本発明の原理説明

図である。第1のレシーバ2は応答速度が速く高精度であって、受信用信号線1a、1bを介して送られてくるAMI伝送波形信号よりなる回線データを受信する。

【0018】第2のレシーバ3は応答速度が遅くて精度が低く、受信用信号線1a、1bを介して送られてくるAMI伝送波形信号よりなる回線データを受信する。発振器6は、第1のレシーバ2から出力される受信データを処理する内部回路5を動作させるためのクロックCKを生成する。

10 【0019】レシーバ制御装置4は、第1のレシーバ2からの受信データの有無に基づいて受信状態に着信待機状態かを判定し、着信待機状態であると判定すると、第2のレシーバ3を動作可能にさせると共に第1のレシーバ2および発振器6を動作停止にさせる。そして、レシーバ制御装置4は、着信待機状態において、第2のレシーバ3からの受信データの有無に基づいて着信待機状態が継続しているか受信開始かを判定し、受信開始と判定すると、第1のレシーバ2および発振器6を動作可能にさせると共に第2のレシーバ3を動作停止にさせる。

20 【0020】また、レシーバ制御装置4内にはカウンタ回路7と時間設定レジスタ8とが設けられており、第1のレシーバ2から受信データが出力されなくなるとカウンタ回路7はカウント値をリセットしてカウント動作を開始する。そして、レシーバ制御装置4は、カウント値が時間設定レジスタ8に定められた設定時間と等しくなったとき、着信待機状態であると判定する。

【0021】

【作用】従って本発明によれば、通常の受信状態においては第1のレシーバ2が動作可能になる。第1のレシーバ2は応答速度が速く高精度であるため、通常の受信状態においては受信性能が低下しない。また、通常の受信状態においては発振器6が動作可能になる。そのため、発振器6はクロックCKを生成し、内部回路5は動作可能になる。

【0022】一方、着信待機状態においては第2のレシーバ3が動作可能になり、第1のレシーバ2は動作を停止する。そして、第2のレシーバ3から受信データが出力される（すなわち、着信する）と、レシーバ制御装置4は着信待機状態から通常の受信状態に切り換える。

40 【0023】第1のレシーバ2は応答速度が速く高精度である分だけ消費電力も大きいが、第2のレシーバ3は応答速度が遅くて精度が低い分だけ消費電力も小さい。また、着信待機状態においては発振器6が動作を停止する。そのため、発振器6はクロックCKの生成を停止し、内部回路5は動作を停止する。

【0024】従って、第1のレシーバ2と内部回路5の消費電力分だけ、着信待機状態の装置全体の消費電力は、通常の受信状態の装置全体の消費電力より小さくなる。そして、第1のレシーバ2から受信データが出力されなくなってから、時間設定レジスタ8に定められた設

定時間だけ経過すると、レシーバ制御装置4は通常の受信状態から着信待機状態に切り換える。

【0025】そのため、第1のレシーバ2から受信データが出力されないとき（すなわち、受信用信号線1a、1bから回線データが送られてこないとき）には着信待機状態になり、装置全体の消費電力が小さくなる。

【0026】

【実施例】以下、本発明を具体化した一実施例を図面に従って説明する。図2に、本実施例のブロック回路を示す。

【0027】受信用信号線21a、21bを介して送られてくるAMI (Alternate Mark Inversion) 伝送波形信号よりなる回線データは、パルストランス22を介してレシーバ23に出力される。そして、レシーバ23内で処理された回線データは、受信データとして内部回路24に出力される。また、レシーバ23は、内部回路24を動作させるためのクロックを生成する。

【0028】内部回路24は、レシーバ23から出力される受信データを処理し、画像コーデコーダ(CODEC)25および音声コーデコーダ(CODEC)26に出力する。また、内部回路24は、画像CODEC25および音声CODEC26から出力される送信データを処理してドライバ27に出力する。

【0029】画像CODEC25は、受信データを変換処理してCRT28や図示しないファクシミリに出力すると共に、テレビカメラ29やファクシミリからの出力信号を変換処理した送信データを内部回路24に出力する。

【0030】音声CODEC26は、受信データを変換処理して送受話器30に出力すると共に、送受話器30の出力信号を変換処理した送信データを内部回路24に出力する。

【0031】ドライバ27は、内部回路24からの送信データを処理して回線データを生成し、パルストランス31を介して送信用信号線32a、32bに出力する。中央演算処理装置(CPU)33は、レシーバ23、ドライバ27、内部回路24、画像CODEC25、音声CODEC26を制御する。

【0032】図3に、レシーバ23のブロック回路を示す。パルストランス22の2次側出力端子の一端はコンパレータ41のプラス入力端子に接続されている。また、パルストランス22の2次側出力端子の他端は各コンパレータ42、43のプラス入力端子に接続されている。そして、各コンパレータ41~43のマイナス入力端子には基準電圧VRが印加されている。その基準電圧VRは、高電位側電源VCCとグランド間を各抵抗R1、R2によって分圧した分圧回路44から取り出される。

【0033】各コンパレータ41、42の出力信号はノア回路45に出力され、ノア回路45の出力信号が受信データとして内部回路24のデータ受信部に出力され

る。ここで、コンパレータ41、42は応答速度が速く精度も高いが、消費電力が大きなコンパレータである。一方、コンパレータ43は応答速度が遅く精度も低い

が、消費電力が小さなコンパレータである。
【0034】すなわち、コンパレータ41~43は、差動回路とSEPP回路やソースフォロア等の出力段とから構成されており、差動回路および出力段を構成するトランジスタのトランジスタサイズが大きく流れる電流が多い程、応答速度が速く精度が高くなる。

10 【0035】尚、受信用信号線21a、21bを介して送られてくる回線データから受信データを生成する動作については公知であり、本発明の要旨とは直接関係ないため、ここではその説明を省略する。

【0036】回線状態監視回路46はコンパレータ42の出力信号Qaを入力する。そして、回線状態監視回路46は、出力信号QaとCPU33からの設定時間データとに基づいてセット信号Qbを生成し、オア回路47に出力する。

20 【0037】図4に、回線状態監視回路46のブロック回路を示す。カウンタ61のリセット端子RSTはコンパレータ42の出力信号Qaを入力し、カウンタ61のクロック端子CLKは外部回路からのクロックを入力する。そして、カウンタ61は、Lレベルの出力信号Qaを入力するとカウント値をリセットしてカウント動作を開始し、外部回路からのクロックを入力する度にカウント値をインクリメントする。

30 【0038】回線空時間設定レジスタ62は、CPU33から指示された設定時間データを記憶して保持する。比較器63は、カウンタ61のカウント値と回線空時間設定レジスタ62の設定時間データとを比較し、両者が一致したときにパルス状のセット信号Qbを生成して出力する。

【0039】エッジ検出回路48は、コンパレータ43の出力信号の立ち上がりを検出してパルス状のエッジ・トリガ検出信号Qcを生成し、オア回路49に出力する。ソフトウェア・パワーダウン回路50はCPU33によって制御され、オア回路47にパルス状のセット信号Qdを出力すると共に、オア回路49にパルス状のリセット信号Qeを出力する。

40 【0040】オア回路47の出力信号はリセット・セット・フリップフロップ(以下、RS-FFとする)51のセット入力端子Sに出力され、オア回路49の出力信号はRS-FF51のリセット入力端子Rに出力される。

【0041】RS-FF51の出力信号Qfは、コンパレータ41、42および発振器52のそれぞれのパワーダウン端子PDに出力されると共に、コンパレータ43のパワーダウン端子バーPDに出力される。

50 【0042】その出力信号Qfによって、各コンパレータ41~43が制御される。すなわち、コンパレータ4

1, 42はLレベルの出力信号Q fに基づいて動作し、Hレベルの出力信号Q fに基づいて動作を停止する。一方、コンパレータ43はHレベルの出力信号Q fに基づいて動作し、Lレベルの出力信号Q fに基づいて動作を停止する。

【0043】すなわち、コンパレータ41, 42はHレベルの出力信号Q fに基づいて、内部の差動回路のバイアス段を切離して差動回路を動作不能にすると共に、出力段も動作不能にして動作を停止する。一方、コンパレータ43はLレベルの出力信号Q fに基づいて、内部の差動回路のバイアス段を切離して差動回路を動作不能にすると共に、出力段も動作不能にして動作を停止する。

【0044】そして、動作が停止しているとき、各コンパレータ41~43は電力を消費しない。発振器52はLレベルの出力信号Q fに基づいて、内部回路24を動作させるためのクロックを生成する。そして、発振器52はHレベルの出力信号Q fに基づいて、クロックの生成を停止する。従って、出力信号Q fがHレベルのときには、発振停止モードになって内部回路24の動作が停止する。

【0045】次に、上記のように構成された本実施例の動作について、図5に示すタイムチャートに従って説明する。まず、初期状態において、RS-FF51の出力信号Q fはLレベルであるとする。従って、コンパレータ41, 42は動作しており、コンパレータ43は動作を停止している。また、発振器52は内部回路24を動作させるためのクロックを生成している。

【0046】そのときに、受信用信号線21a, 21bを介して回線データが送られてくると、コンパレータ42の出力信号Q aはHレベルになり、回線データが送られてこなくなると出力信号Q aはLレベルになる。

【0047】すると、カウンタ61はカウント値をリセットしてカウント動作を開始する。そして、カウンタ61のカウント値と回線空間設定レジスタ62の設定時間データとが一致すると、パルス状のセット信号Q bが比較器63から出力される。

【0048】そのセット信号Q bに基づいて、RS-FF51はセットされ、出力信号Q fはHレベルになる。従って、コンパレータ41, 42は動作を停止し、コンパレータ43が動作を開始する。すなわち、この時点から着信待機状態となる。

【0049】ここで、コンパレータ43の消費電力は小さいため、RS-FF51の出力信号Q fがHレベルになっているとき（すなわち、コンパレータ41, 42が動作不能になっているとき）には、レシーバ23の消費電力も小さくなる。すなわち、レシーバ23はレシーバ・パワーダウンモードになる。

【0050】また、発振器52は内部回路24を動作させるためのクロックの生成を停止するため、内部回路24は発振停止モードになる。その後、再び、受信用信号

線21a, 21bを介して回線データが送られてくると、コンパレータ43の出力信号は立ち上がり、エッジ検出回路48はパルス状のエッジ・トリガ検出信号Q cを出力する。

【0051】そのエッジ・トリガ検出信号Q cに基づいて、RS-FF51はリセットされ、出力信号Q fはLレベルになる。従って、コンパレータ43は動作を停止し、コンパレータ41, 42が再び動作を開始する。

【0052】コンパレータ41, 42の消費電力は大きいいため、RS-FF51の出力信号Q fがLレベルになっているとき（すなわち、コンパレータ43が動作不能になっているとき）には、レシーバ23の消費電力も大きくなる。すなわち、レシーバ23のレシーバ・パワーダウンモードは解除される。

【0053】また、発振器52は内部回路24を動作させるためのクロックの生成を開始するため、内部回路24の発振停止モードは解除される。そして、カウンタ61はカウント値をリセットして、再びカウント動作を開始する。

【0054】ところで、ソフトウェア・パワーダウン回路50からパルス状のセット信号Q dが出力されると、RS-FF51はセットされ、出力信号Q fはHレベルになる。従って、上記と同様に、レシーバ23はレシーバ・パワーダウンモードになり、内部回路24は発振停止モードになる。

【0055】その後、ソフトウェア・パワーダウン回路50からパルス状のリセット信号Q eが出力されると、RS-FF51はリセットされ、出力信号Q fはLレベルになる。従って、上記と同様に、レシーバ23のレシーバ・パワーダウンモードは解除され、内部回路24の発振停止モードも解除される。

【0056】このように本実施例においては、応答が速く精度も高いが消費電力も大きい通常の受信用のコンパレータ41, 42に加えて、応答が遅く精度も低い消費電力は小さい着信検出専用のコンパレータ43を設けている。

【0057】そして、回線データが一定時間（CPU3から指示された設定時間データ）送られてこないときには、コンパレータ41, 42の動作を停止させてレシーバ・パワーダウンモードにする。それと同時に、内部回路24を動作させるためのクロックの生成を停止し、内部回路24を発振停止モードにする。

【0058】このレシーバ・パワーダウンモードおよび発振停止モードを行っているときには、コンパレータ43のみが動作している。従って、再び、回線データが送られてきたときには、コンパレータ43が着信検出を行い、レシーバ・パワーダウンモードおよび発振停止モードを解除し、通常の受信状態にする。すなわち、コンパレータ43の動作を停止すると共にコンパレータ41, 42を動作させ、内部回路24を動作させるためのクロ

ックを生成する。

【0059】また、CPU33の制御により、随時、レシーバ・パワーダウンモードおよび発振停止モードにすることもでき、それを解除することもできる。従って、通常の受信時には、応答が速く精度も高いコンパレータ41、42によって十分な受信性能を得ることができる。また、着信待機時には、消費電力の大きなコンパレータ41、42を動作停止にして、消費電力の小さなコンパレータ43によって着信検出のみを行わせるため、消費電力を抑えることができる。

【0060】また、回線データが一定時間（CPU33から指示された設定時間データ）送られてこないときには、自動的にレシーバ・パワーダウンモードになるため、消費電力を抑えることができる。

【0061】

【発明の効果】以上詳述したように本発明によれば、通常の受信時の受信性能を低下させることなく、着信待機時には消費電力を抑えることが可能な通信制御用半導体装置を、簡単な構成によって提供することができる優れた効果がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

*【図2】本発明を具体化した一実施例のブロック回路図である。

【図3】一実施例のレシーバ23のブロック回路図である。

【図4】一実施例の回線状態監視回路46のブロック回路図である。

【図5】一実施例の動作を説明するためのタイムチャートである。

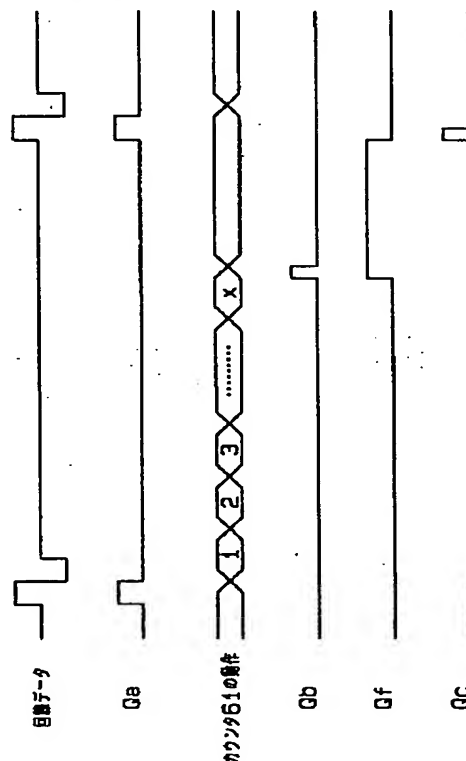
【符号の説明】

- 10 1a, 1b 受信用信号線
- 2 第1のレシーバ
- 3 第2のレシーバ
- 4 レシーバ制御装置
- 5 内部回路
- 6 発振器
- 7 カウンタ回路
- 8 時間設定レジスタ
- 48 エッジ検出回路
- 47, 49 パワーダウン回路を構成するオア回路
- 20 50 パワーダウン回路を構成するソフトウェア・パワーダウン回路

*

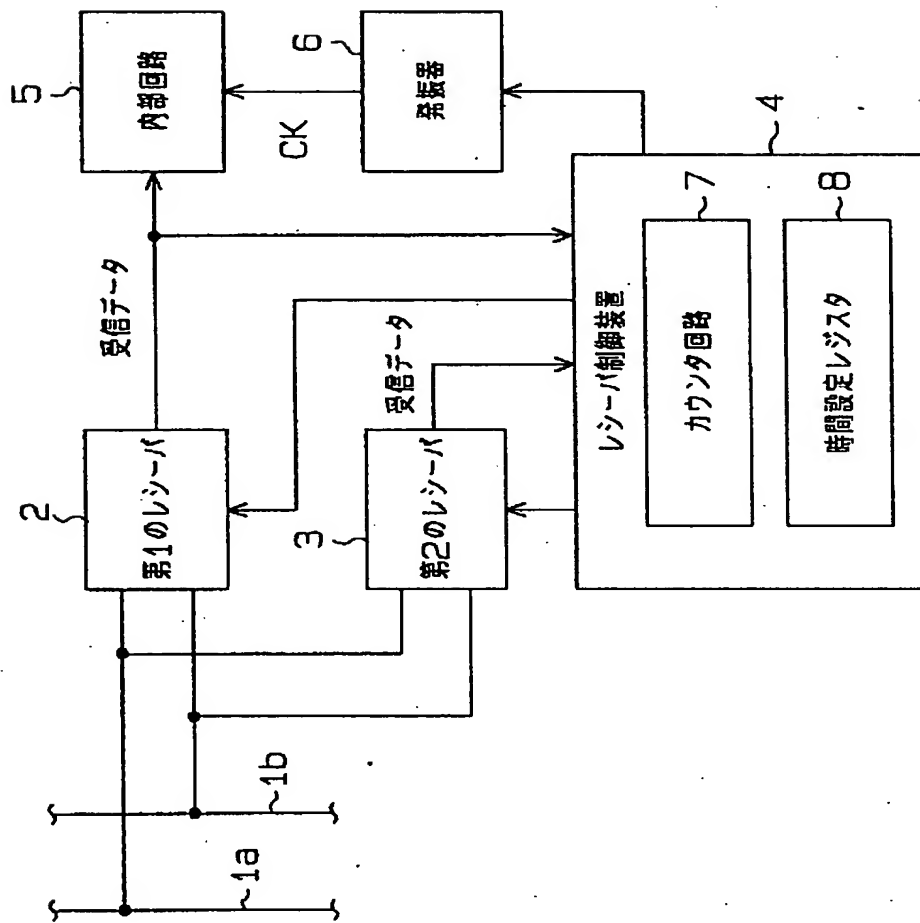
【図5】

一実施例の動作を説明するためのタイムチャート



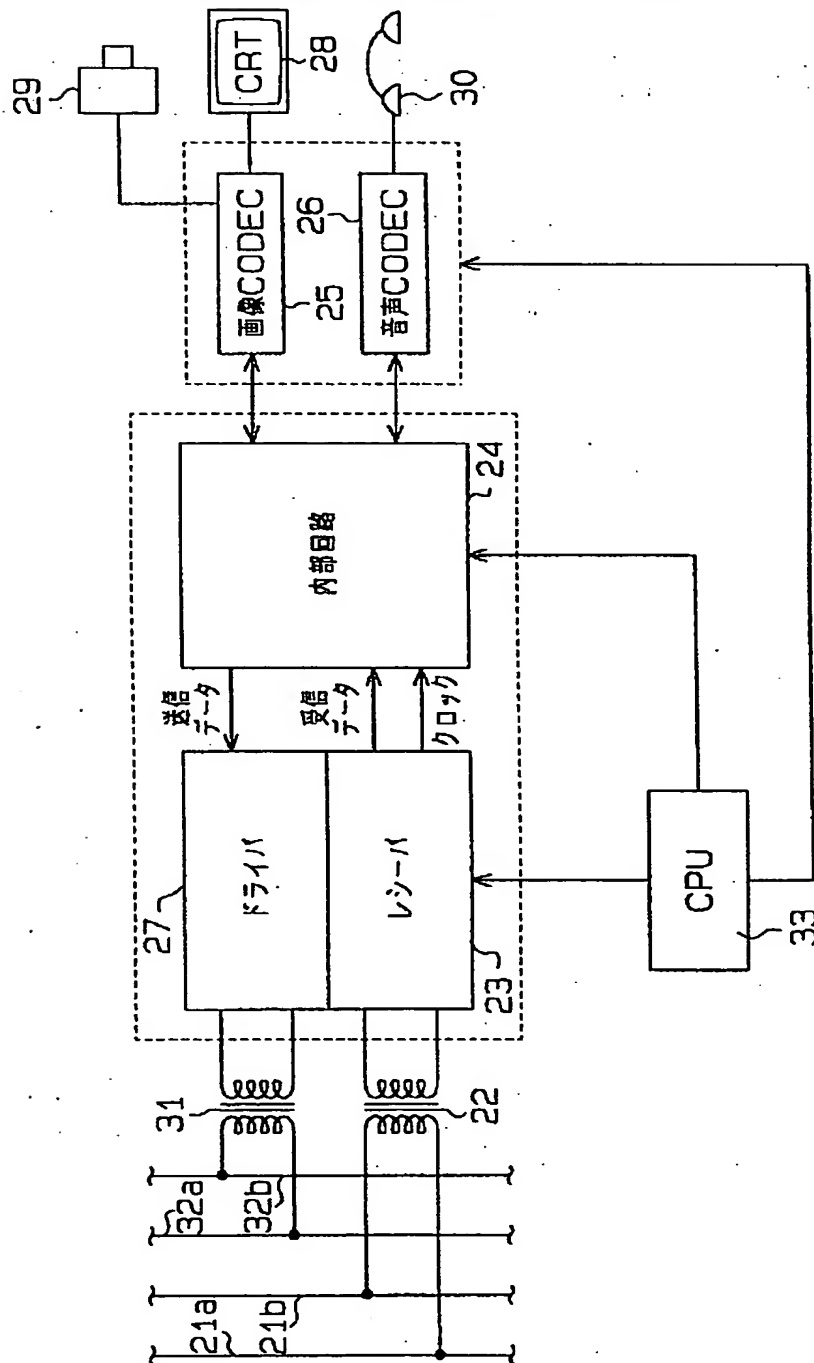
【図1】

本発明の原理説明図

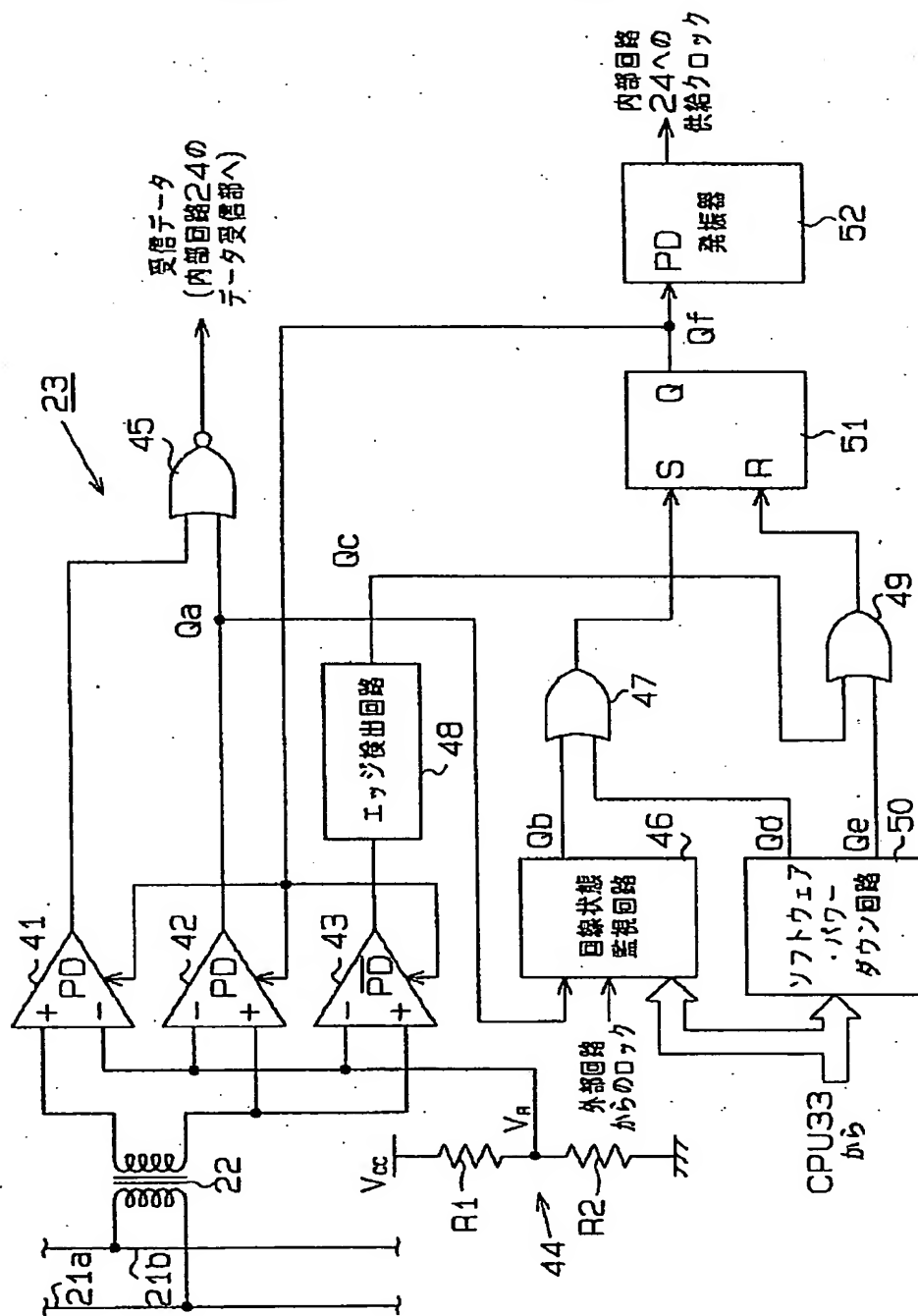


【図2】

本発明を具体化した一実施例のブロック回路図



一実施例のレシーバ23のブロック回路図



【図4】

一実施例の回線状態監視回路46のブロック回路図

